

MONOGRAFÍA CIENTÍFICA

GENERADOR DE SECUENCIAS BINARIAS MÚLTIPLES Y SIMULTÁNEAS MÉTODO DE DISEÑO

Autor: Jorge Portillo Meniz
Profesor Titular de Escuela Universitaria
Departamento de Ingeniería Electrónica y Automática



Universidad de Las Palmas de Gran Canaria

2005

MONOGRAFÍA CIENTÍFICA

GENERADOR DE SECUENCIAS BINARIAS
MÚLTIPLES Y SIMULTÁNEAS, MÉTODO DE DISEÑO

© Jorge Portillo Meniz, 2005

ISBN: 84-689-3803-3

Depósito Legal: GC -736-2005

Impresión: Impreso en el Servicio de Reprografía
de la Universidad de Las Palmas de Gran Canaria

Queda rigurosamente prohibida, sin la autorización escrita del titular del <<Copyright>>, bajo las sanciones establecidas por las leyes, la reproducción parcial o total de esta obra por cualquier medio o procedimiento, comprendido la reprografía y el tratamiento informático.

Índice

INTRODUCCIÓN.....	5
CAPÍTULO 1. CONTADORES ASÍNCRONOS.....	9
INTRODUCCIÓN.....	11
1.1 Biestable tipo “T”.....	13
1.2 Divisor por 2 y divisor por 4 de la frecuencia de reloj.....	14
1.3 Contador ascendente y descendente de módulo 4.....	15
1.4 Contador ascendente y descendente de módulo 8.....	17
1.5 Contador asíncrono reversible.....	17
1.6 Contador asíncrono de cualquier secuencia.....	19
1.7 Método general de diseño de contadores asíncronos.....	20
CAPÍTULO 2. CONTADORES SÍNCRONOS.....	21
INTRODUCCIÓN.....	23
2.1 Configuración genérica del contador síncrono.....	23
2.2 Método sistemático de diseño de contadores síncronos.....	24
2.3 Ejemplos de diseño de contadores síncronos.....	24
2.3.1 Contador síncrono de una secuencia.....	24
2.3.2 Contador síncrono de varias secuencias.....	29
CAPÍTULO 3. GENERADORES DE SECUENCIAS BINARIAS BASADOS EN REGISTROS.....	33
INTRODUCCIÓN.....	35
3.1 Método sistemático de diseño de generadores de secuencias binarias con registros de desplazamiento.....	35

3.2 Generación de una secuencia binaria concreta.....	36
CAPÍTULO 4. GENERADOR DE SECUENCIAS BINARIAS MÚLTIPLES	
Y SIMULTÁNEAS. MÉTODO DE DISEÑO.....	39
INTRODUCCIÓN.....	41
4.1 Método Sistemático de Diseño.....	43
4.2 Generación de varias secuencias en el mismo circuito.....	44
APÉNDICE.....	49
Generador de patrones binarios de la “E.T.S.I.”, para pruebas en enlaces digitales de comunicaciones y otras aplicaciones.	
GLOSARIO.....	53
BIBLIOGRAFÍA.....	53

INTRODUCCIÓN

INTRODUCCIÓN

La utilización de secuencias binarias tiene gran relevancia en la electrónica de las telecomunicaciones en formato digital, en sistemas de control y en general en cualquier proceso donde intervenga la información digitalizada y su posterior tratamiento y procesamiento.

En esta monografía se ilustran aplicaciones como la generación de la “Palabra de Alineamiento de Trama” en sistemas de transmisión digital, concretamente el “E₁” de la “ETSI” (E₁: flujo binario de 2 Mbit/seg., ETSI: European Telecommunications Standard Institute), esto no es más que una secuencia binaria fija y única que se transmite al inicio de cada bloque de información para que el receptor identifique el inicio de la trama y así pueda dar un significado correcto al resto de los bits que componen el bloque, una vez leídos todos los bits del bloque se detecta la misma secuencia de nuevo y se repite el proceso, igualmente en la implementación de algunos protocolos de comunicaciones se incluye una secuencia binaria de identificación. También se ilustra la generación de patrones binarios recomendados por la “E.T.S.I.” para la prueba y aceptación de enlaces de comunicaciones digitales. Cualquier proceso digital complejo está regido y controlado por un reloj y por contadores que ordenan el correcto funcionamiento del sistema en el tiempo y sincronizan los eventos y actuaciones que se realicen.

En este trabajo monográfico se analizan y evalúan los diferentes métodos sistemáticos existentes para el diseño de generadores de secuencias binarias (incluyendo diseño de contadores) considerando también procesos intuitivos de diseño, además se introduce un “**Método Sistemático Original**” de diseño para la generación de “**Secuencias Binarias Múltiples**” en el mismo circuito, que mejora el resultado en cantidad de componentes utilizado y funcionalidad, con respecto a cualquier otro método de diseño en uso.

El resultado del diseño realizado por el método de “*Secuencias Múltiples*” se podrá implementar con dispositivos integrados específicos, con lógica programable o sistemas firmware. En este trabajo se obvia el método final de implementación y se entiende que en función de la aplicación y el entorno el diseñador elegirá el adecuado.

Es importante comentar que en el resto del documento solo se tendrá en cuenta el aspecto funcional de los diseños y no se estudia el comportamiento temporal (dinámico) de los circuitos (excepto en algunos ejemplos de aplicación), ya que no se trata de implementar un diseño específico sino de divulgar un método de diseño. Al mismo tiempo es necesario resaltar la importancia de tener en cuenta el comportamiento dinámico de los circuitos, especialmente en sistemas asíncronos donde el pulso de reloj del sistema no es simultáneo para la totalidad de los componentes o cuando los circuitos procesen señales de frecuencias muy altas. Se entiende que el diseñador tendrá en cuenta este aspecto al igual que otros antes de dar el visto bueno final para la simulación de su diseño.

Al lector de esta monografía se le supone familiarizado con los términos utilizados en electrónica digital y con los métodos de diseño convencionales de sistemas combinacionales, aritméticos y secuenciales. Igualmente se supone que el lector podría elegir los componentes electrónicos idóneos para la implementación del sistema diseñado teniendo en cuenta parámetros como velocidad de conmutación, consumo, tecnología y aplicación.

La primera parte de este trabajo (capítulos 1 al 3) es una introducción, que sirve por comparación para justificar el resto del trabajo, es decir, la parte donde se expone el “Método Sistemático Original de Diseño de Secuencias Binarias Múltiples”, objeto de esta monografía.

Los circuitos implementados con el método de “*Secuencias Múltiples*” utilizan varios puntos del circuito como salidas para implementar funciones diferentes, así el circuito adquiere capacidad multifunción. Con este método de diseño se consigue un número de funciones controladas por el diseñador que se están generando de forma simultánea y perfectamente sincronizadas entre ellas.

CAPÍTULO 1

CONTADORES ASÍNCRONOS

INTRODUCCIÓN

Los contadores se pueden considerar sistemas generadores de secuencias binarias. La interconexión de sus componentes dependerá de la secuencia a generar y de la arquitectura utilizada en el diseño. Dependiendo de la arquitectura utilizada en su diseño, los contadores se dividen en dos grandes grupos, “*contadores asíncronos*” y “*contadores síncronos*”.

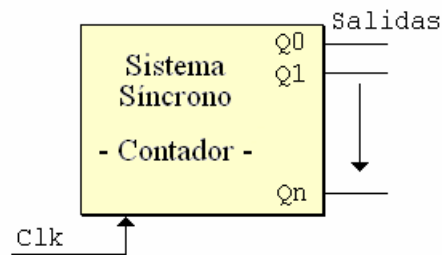


figura 1 Contador genérico

El término *asíncrono* se refiere a los sucesos que no poseen una relación temporal fija entre ellos. El diseño de contadores asíncronos se basa en el hecho de que un biestable tipo “T” es por definición un divisor por dos de la frecuencia de reloj.

Los contadores asíncronos se identifican por la conexión de reloj (Clk). En este tipo de contadores la entrada de reloj del biestable que implementa al LSB (bit de menor peso) se conecta al reloj del sistema y para los sucesivos bits del contador la entrada de reloj (Clk) del biestable que implementa al Bit “n+1” se conecta a la salida del biestable del Bit “n” ($Clk_{n+1} = Q_n$), como se puede ver en la “figura 2”.

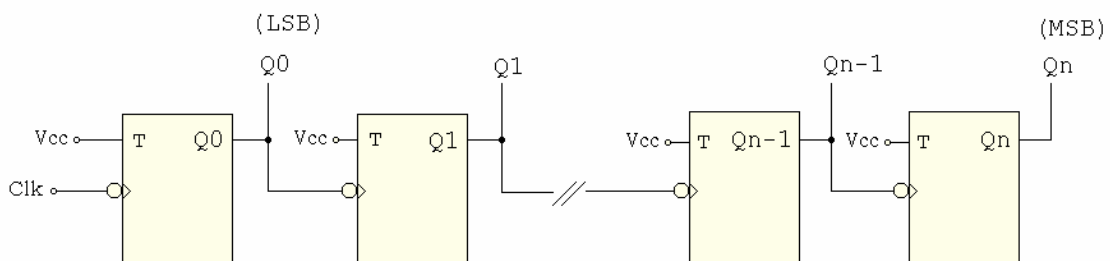


figura 2 Contador asíncrono genérico de módulo 2^n

PULSO DE RELOJ (CLK) EN CONTADORES ASÍNCRONOS

Al no compartir el mismo pulso de reloj, en un contador asíncrono, los biestables no siempre cambian de estado exactamente al mismo tiempo, esto podría causar “glitches” y comportamientos no deseados si no se ha estudiado de manera exhaustiva el funcionamiento dinámico (temporal) del sistema.

PARÁMETROS DE LOS BIESTABLES A TENER EN CUENTA PARA EL ESTUDIO DINÁMICO DE LOS CIRCUITOS

Para el estudio temporal (dinámico) de los circuitos implementados hay que tener en cuenta los parámetros que da el fabricante de los biestables en su hoja de características técnicas, que nos servirá para la correcta selección de los componentes. Los más importantes son,

1. Tiempo de establecimiento (setup-time)

Tiempo anterior al flanco de toma de datos. Durante este tiempo la señal de entrada ha de permanecer constante para evitar errores en la lectura.

2. Tiempo de mantenimiento (hold-time)

Tiempo posterior al flanco de toma de datos (durante este tiempo la señal de entrada permanecerá constante)

3. Tiempo de propagación (delay-time)

Tiempo que transcurre desde el flanco activo de reloj hasta el cambio de estado.

4. Tiempo de “Preset” y “Clear”

Tiempo mínimo que deben de estar activadas las señales de *Preset* y *Clear* (de tenerlas el biestable) y que garantiza su correcto funcionamiento.

5. Frecuencia máxima de reloj

Es la frecuencia máxima para la que el fabricante garantiza el correcto funcionamiento de los biestables.

Para los dispositivos combinatoriales que se utilicen en la implementación de los sistemas secuenciales hay que considerar el “**tpd**”, el “**fan-out**” y el “**fan-in**”.

1.1 BIESTABLE TIPO T, DIVISOR POR DOS DE LA FRECUENCIA DE RELOJ

Un biestable tipo “T” , o su equivalente, actúa como un divisor por dos de la frecuencia de su reloj. Por otro lado si observamos la tabla de secuencias adjunta, contador ascendente de módulo 8, podemos comprobar que si comenzamos en el bit LSB (Q_0), los bits del contador representan señales de frecuencia mitad del anterior, hasta llegar al MSB (Q_2) que tiene la frecuencia de $Q_1/2$. De estas dos características, se intuye la facilidad con la que se puede implementar un contador asíncrono utilizando biestables tipo “T”.

En la tabla adjunta se representa la secuencia completa de un contador ascendente de módulo $2^3 = 8$ (000..111).

Q_2	Q_1	Q_0
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

Si la frecuencia de Q_0 es “F”, resulta que la frecuencia de Q_1 es $F(Q_0)/2$ y la frecuencia de Q_2 es $F(Q_1)/2$.

A su vez, en un contador asíncrono, la frecuencia “F” es:
Frecuencia “F”= $F(Q_0) = F(\text{Clk})/2$, ver figura 3.

Si se utilizan tres biestables tipo “T” en cascada, como se muestra en la figura 3, se podría implementar el contador ascendente de la tabla en las salidas “ $Q_0, 1$ y 2 ”.

tabla 1 Secuencia binaria de módulo 8

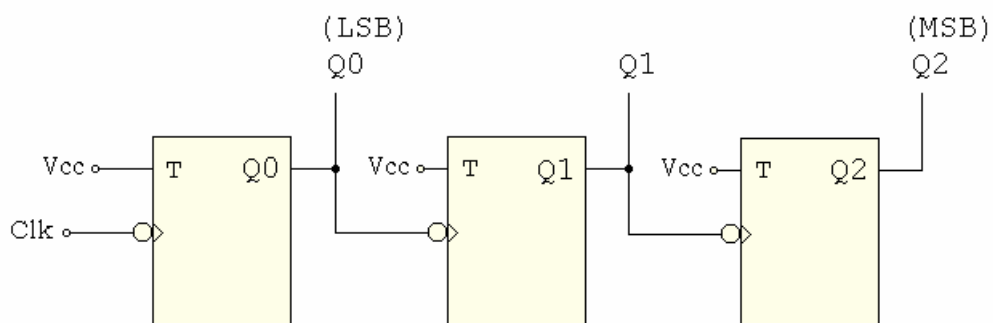
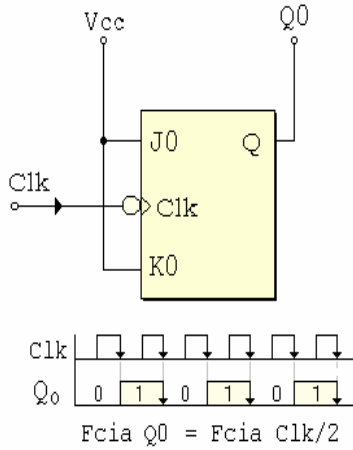


figura 3 Contador asíncrono de módulo $2^3 = 8$.

En el dibujo el bit de menor peso (LSB) está implementado por el biestable de la izquierda “ Q_0 ” y en la tabla este bit está representado a la derecha de la tabla.

1.2 DIVISOR POR 2 Y DIVISOR POR 4 DE LA FRECUENCIA (CLK) DE RELOJ

DIVISOR POR 2 DE LA FRECUENCIA DE RELOJ (CLK)



Cada biestable actúa como un divisor por 2 de la frecuencia de su reloj (Clk).

$$f_{cia. Q_0} = f_{cia. Clk}/2$$

En un contador asíncrono la salida del biestable “Q_n” es la entrada de reloj para el biestable siguiente (Q_{n+1}).

figura 4 Divisor por 2 de la frecuencia de reloj

DIVISOR POR 4 DE LA FRECUENCIA DE RELOJ (CLK)

La fcia. de Q_a = f (Clk)/2 = f (Clk)/2¹.

La fcia. de Q_b = f(Q_b) = f (Q_a)/2 = (f (Clk)/2)/2 = f (Clk)/2² = f(ClK)/4

La frecuencia en un biestable “Q_n” es, fcia. Q_n = f(ClK)/2ⁿ.

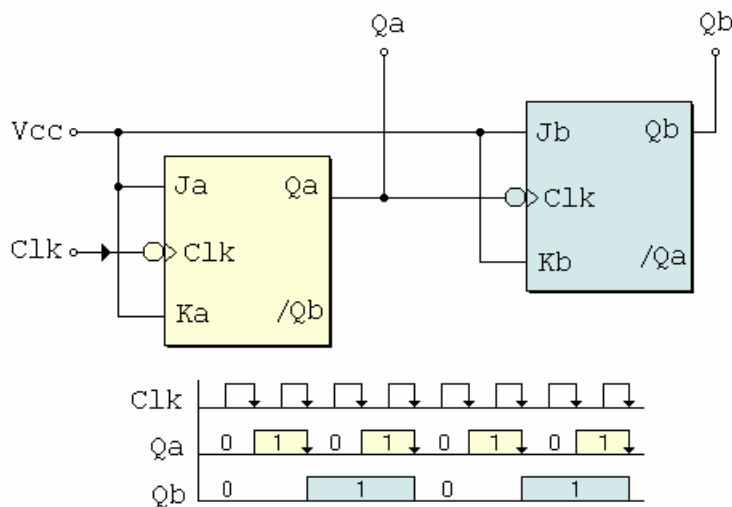
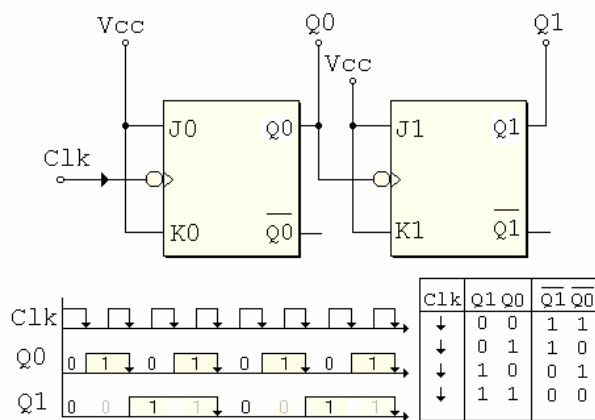


figura 5 Divisor por 2 y divisor por 4 de la frecuencia de reloj (Clk).
 Contador asíncrono de módulo 4.

1.3 CONTADOR ASCENDENTE Y DESCENDENTE DE MÓDULO 4

CON BIESTABLES ACTIVOS EN EL FLANCO DE BAJADA DE LA SEÑAL DE RELOJ

Los contadores asíncronos son por defecto ascendentes y descendentes al mismo tiempo. El contador ascendente en Q_n , es descendente en $/Q_n$ y viceversa. Este hecho se da no por ser el contador asíncrono sino por el hecho de generar la secuencia 2^n completa. Si la cuenta del contador no fuese consecutiva y completa sino arbitraria no se podría establecer a priori una relación entre las salidas Q_n y las $/Q_n$.



Con biestables activos en el flanco de bajada de la señal de reloj resulta un contador ascendente en Q_n y descendente en $/Q_n$.

figura 6 Contador ascendente y descendente de módulo 4

CON BIESTABLES ACTIVOS EN EL FLANCO DE SUBIDA DE LA SEÑAL DE RELOJ

Si se utiliza la misma arquitectura que en el diseño anterior y se eligen biestables activos en el flanco de subida, entonces el contador resultante es ascendente en $/Q_n$ y descendente en Q_n .

Con biestables activos en el flanco de subida de la señal de reloj resulta un contador descendente en Q_n y ascendente en $/Q_n$.

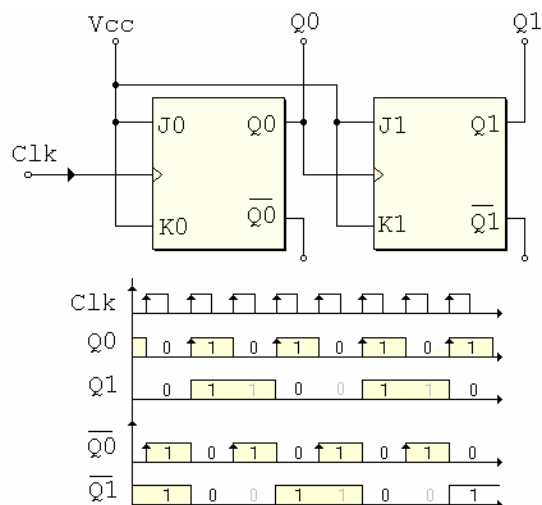


figura 7 Contador ascendente y descendente de módulo 4

CONFIGURACIONES POSIBLES DE UN CONTADOR ASÍNCRONO

Aún se pueden dar mas combinaciones de cómo configurar un contador asíncrono. Hasta ahora se han conectado las salidas “ Q_n ” a las entradas de reloj “ Clk_{n+1} ”, pero si son las salidas “ $/Q_n$ ” en lugar de las salidas “ Q_n ” las que se conectan a las entradas de reloj “ Clk_{n+1} ”, entonces se invierte el resultado de las figuras 6 y 7.

Con biestables activos en el flanco de bajada y utilizando las salidas “ $/Q_n$ ” como entradas de “ Clk_{n+1} ”, tendríamos un contador descendente en Q_n y por consiguiente ascendente en $/Q_n$ y por el contrario si utilizamos biestables activos en el flanco de subida y las salidas “ $/Q_n$ ” como entrada de “ Clk_{n+1} ” resultaría un contador ascendente en Q_n y descenderte en $/Q_n$, invirtiéndose así el resultado obtenido cuando se utilizo las salidas “ Q_n ” a las entradas “ Clk_{n+1} ”.

Todas las posibles configuraciones y resultados para el diseño de un contador asíncrono se representan en la siguiente tabla,

TIPO DE BIESTABLE (flip-flop) UTILIZADO	SALIDA “ Q_n ” QUE SE CONECTA A LA ENTRADA “ Clk_{n+1} ”	TIPO DE CONTADOR RESULTANTE
Activo en el flanco de subida ($\uparrow Clk$)	“ Q_n ”	Descendente en “ Q_n ” y ascendente en “ $/Q_n$ ”.
	“ $/Q_n$ ”	Ascendente en “ Q_n ” y descendente en “ $/Q_n$ ”.
Activo en el flanco de bajada ($\downarrow Clk$)	“ Q_n ”	Ascendente en “ Q_n ” y descendente en “ $/Q_n$ ”.
	“ $/Q_n$ ”	Ascendente en “ $/Q_n$ ” y descendente en “ Q_n ”.

En esta tabla se muestran las posibles configuraciones de los biestables en contadores asíncronos y la conexión de su salida “ Q_n ” a la entrada de reloj “ Clk_{n+1} ” y tipo de contador resultante.

1.4 CONTADOR ASÍNCRONO DE MÓDULO 8 (K = 8)

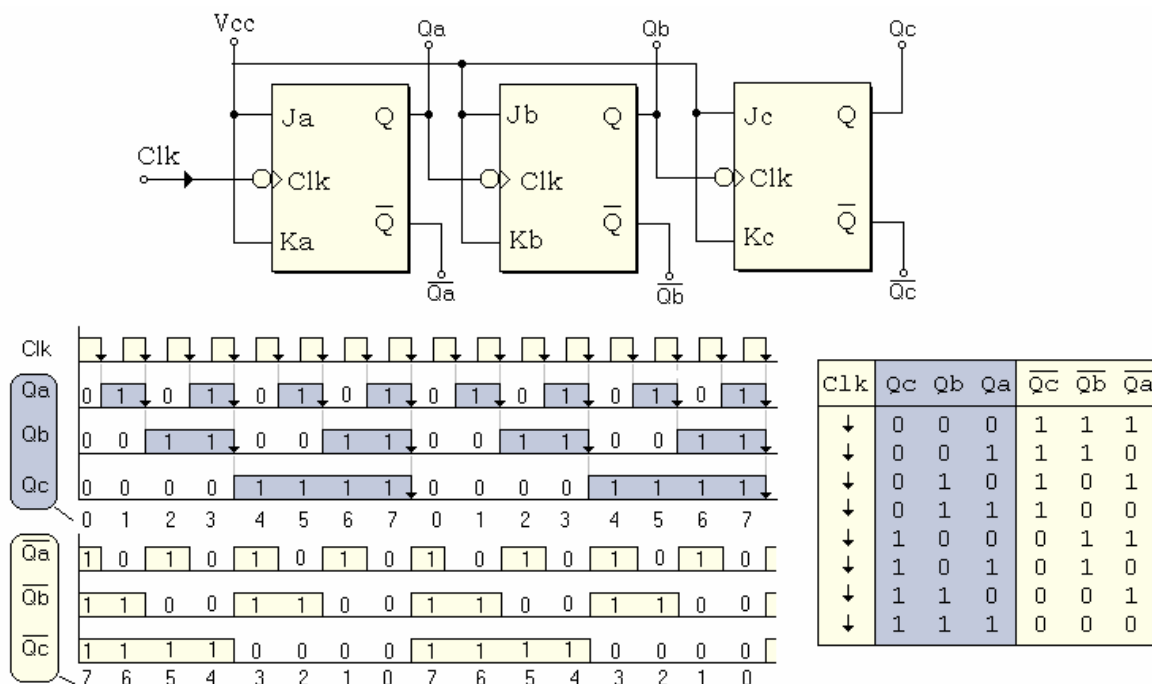


figura 8 Contador de '000' a '111', ascendente en Q_n y de '111' a '000', descendente en \overline{Q}_n

1.5 CONTADOR ASÍNCRONO REVERSIBLE

CONTADOR ASCENDENTE Y DESCENDENTE DE MÓDULO 8 CON SALIDA ÚNICA

C → variable que controla la salida (ascendente/descendente).

Con C = 0 se elige como salida \overline{Q}_n y con C = 1 la salida es Q_n .

C	Q _{0,1,2}	F _{0,1,2}
0	0	1
0	1	0
1	0	0
1	1	1

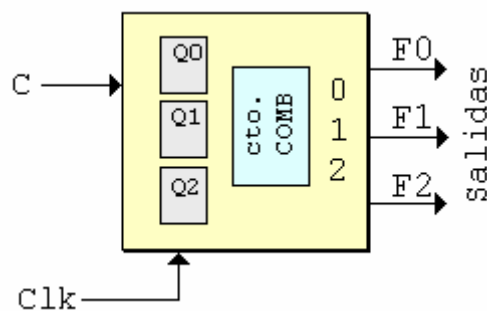


tabla 2 tabla de verdad figura 9

figura 9 Diagrama de bloques contador reversible

LA FUNCIÓN “ F_N ” RESULTANTE ES: $F_N = /C * /Q_N + C * Q_N$

$$F_0 = /C * /Q_0 + C * Q_0 = C \otimes Q_0 \rightarrow (\text{Mux-2x1 o XNOR})$$

$$F_1 = /C * /Q_1 + C * Q_1 = C \otimes Q_1 \rightarrow (\text{Mux-2x1 o XNOR})$$

$$F_2 = /C * /Q_2 + C * Q_2 = C \otimes Q_2 \rightarrow (\text{Mux-2x1 o XNOR})$$

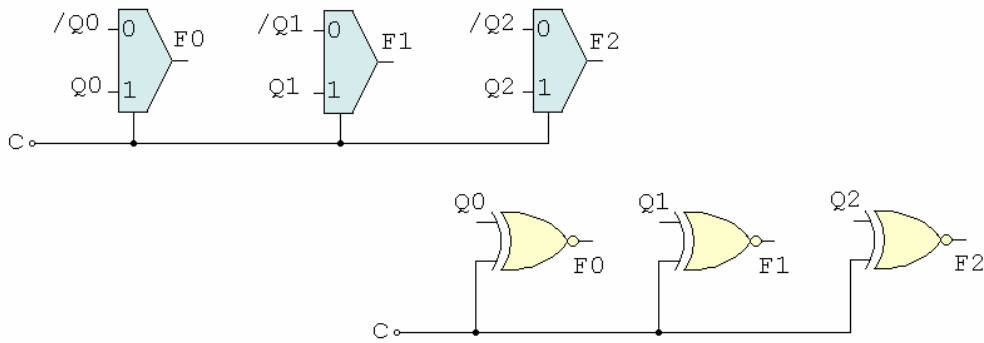


figura 10 Circuito “ F_n ” combinacional de salida en el contador asíncrono reversible de módulo 8.

IMPLEMENTACIÓN DEL CONTADOR ASÍNCRONO REVERSIBLE DE MÓDULO 8

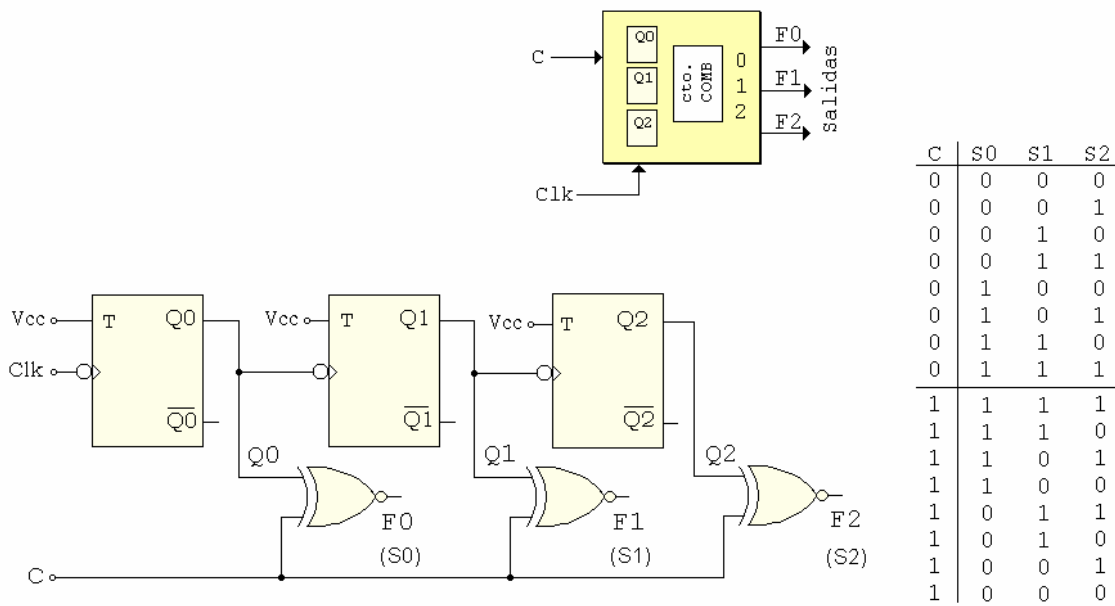


figura 11 Contador asíncrono reversible de módulo 8. Diagrama de bloques, diagrama eléctrico y tabla de transiciones.

1.6 CONTADOR ASÍNCRONO DE CUALQUIER SECUENCIA

Con la arquitectura de un contador asíncrono se genera una secuencia ascendente y descendente completa de módulo 2^n (n = número de bits y biestables) en el mismo contador.

Por ejemplo, en un contador de módulo 8 (000..111), el contador pasa de la secuencia “7” (111) a la “0” (000), repitiéndose el proceso mientras exista pulso de reloj (Clk).

Para implementar una secuencia que implique romper la cuenta natural hay que introducir dispositivos de control combinatorial. Esto se consigue teniendo en cuenta lo siguiente,

1/2. Los biestables han de tener entradas asíncronas de “Preset” y de “Clear”.

2/2. Se diseña un circuito que detecte la combinación de unos y ceros a la salida del contador que coincida con el estado “ $k+1$ ”.

En la mayoría de los casos una puerta “NAND” o una puerta “AND” de varias entradas e inversores, bastara para el diseño del circuito. La salida de la puerta se utiliza para inicializar el contador.

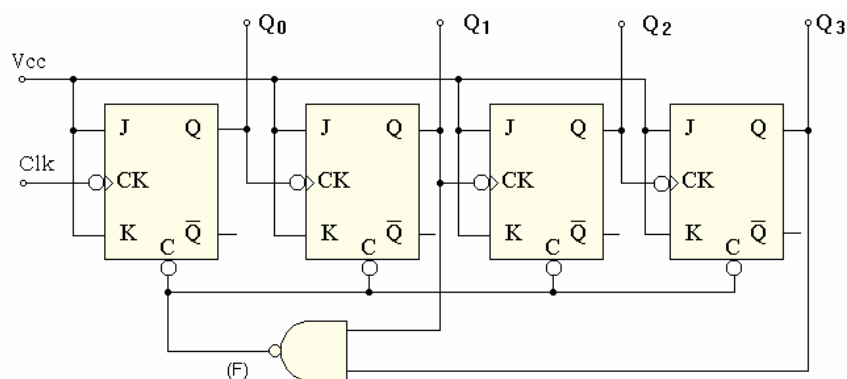


figura 12 Contador asíncrono de décadas ($k=10, 0..9$)

En este contador el circuito detector de la combinación “ $k+1$ ” (F), se utiliza para inicializar el contador a 0000_2 . La función “F” genera una señal de “Clear” con la combinación de salida “ $1010_2 = 9 + 1 = 10_{10}$ ”.

1.7 CONTADOR ASÍNCRONO - MÉTODO GENERAL DE DISEÑO

- 1/4. Se utilizan biestables tipo “T” o equivalentes.
- 2/4. El número de biestables es “n” y $2^{n-1} < k \leq 2^n$, donde “k” es el número de estados o el mayor de los estados mas 1 (se elige el mayor de los dos).
- 3/4. El reloj del sistema se conecta al biestable del bit de menor peso “LSB”.
- 4/4. Las salidas de los biestables “Q_n” se conectan a las entradas de reloj de los biestables “Q_{n+1}”.

*CONTADOR ASÍNCRONO DE CUALQUIER SECUENCIA,
CIRCUITO DETECTOR PARA EL “RESET”*

Al tratarse de un reset asíncrono, la cuenta que lo genera no aparece en el contador ya que inmediatamente después de ser detectada se utiliza para generar el “Reset”. Por lo tanto la cuenta que se utiliza para generar el “Reset” es la cuenta “K+1”, de esta manera el contador generará una secuencia de módulo “K”.

CONTADOR DESCENDENTE DE MÓDULO 5 (K=5) (111..011)

En este diseño se eligen biestables activos en el flanco de bajada de la señal de reloj (\downarrow Clk). La cuenta descendente se encuentra en las \bar{Q}_n .

Se detecta la cuenta $K + 1 = 010_2$, (puerta nand e inversores). La salida del circuito detector inicializa a 111_2 .

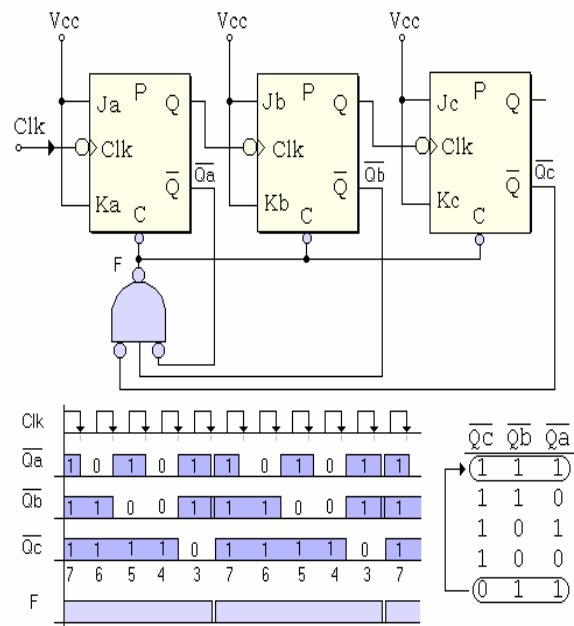


figura 13 Contador descendente de módulo 5

CAPÍTULO 2

CONTADORES SÍNCRONOS

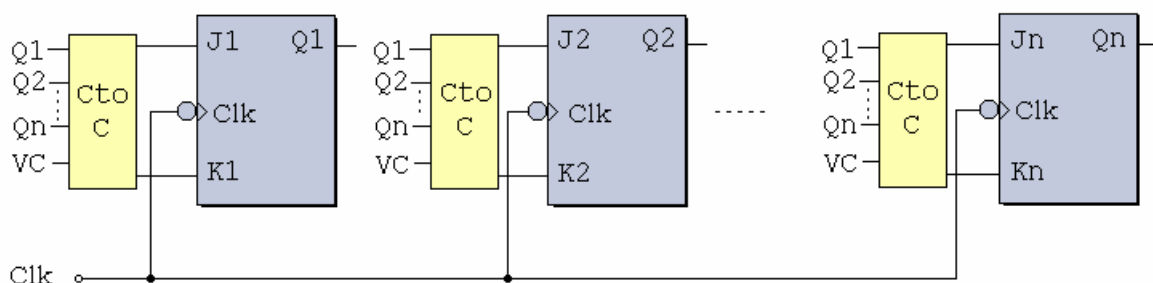
INTRODUCCIÓN

Los contadores síncronos alcanzan una velocidad de trabajo mucho mayor que los contadores asíncronos, los contadores síncronos son mas rápidos debido a que la señal de reloj del sistema es común a todos los biestables, esto hace que por cada pulso de reloj cambien todos los biestables a la vez. El procedimiento de diseño de los contadores síncronos es metódico y preciso, los contadores resultan mas fiables que los asíncronos debido al control común de reloj y al propio método de diseño.

Al optar por una arquitectura de diseño, salvo muy raras excepciones, el síncrono será la mejor elección. En ocasiones el contador síncrono permite pequeñas variaciones en los tiempos de retardo reales de los biestables con respecto a los teóricos, mientras que en los contadores asíncronos el estudio temporal ha de ser muy preciso y riguroso. En un contador síncrono, debido a la conexión de la señal de reloj, con cada pulso de reloj se refresca la salida de todos los biestables, mientras que en un contador asíncrono el refresco de la salida de los biestables se realiza secuencialmente, un biestable por cada pulso de reloj.

2.1 CONFIGURACIÓN GENÉRICA DEL CONTADOR SÍNCRONO

1. La entrada de reloj es común a todos los biestables.
2. Las entradas de los biestables pueden ser función de variables combinatoriales y de las salidas de los biestables, incluyendo la propia salida del biestable.



VC = Variables Combinacionales
 Cto. C = Cto. Combinacional

figura 14 Configuración genérica de un contador síncrono

2.2 CONTADOR SÍNCRONO, MÉTODO SISTEMÁTICO DE DISEÑO

Una vez se tengan las especificaciones del contador el procedimiento a seguir para su diseño e implementación es el siguiente,

- 1/5. El número “n” de biestables necesarios, se obtiene de la expresión “ $2^{n-1} < k \leq 2^n$ ”, donde “k” es el número de estados o el mayor de los estados de la secuencia a implementar mas “1”, se elige el mayor de los dos.
- 2/5. Se dibuja y comprueba el diagrama de estados con el orden de la secuencia a implementar.
- 3/5. Se elige el tipo de biestable que se va a utilizar en el diseño y se anota su tabla de transiciones.
- 4/5. Se escribe la tabla de transiciones del contador con los posibles valores $Q_{n(t)}$ y $Q_{n(t+1)}$ de las salidas de los biestables y los correspondientes valores de las entradas.
- 5/5. De la tabla del punto "4" se obtienen las funciones combinacionales de las entradas de los biestables.

2.3 EJEMPLOS DE DISEÑO DE CONTADORES SÍNCRONOS

2.3.1 CONTADOR SÍNCRONO DE UNA SECUENCIA

Procedimiento de diseño de un contador síncrono que realice la cuenta “0-1-8”. Utilice biestables tipo “JK” activos en el flanco de bajada de Reloj (\downarrow Clk).

Con los estados (2, 3, 4, 5, 6 y 7) inicie el contador a “0”.

1. Número de biestables “n”.

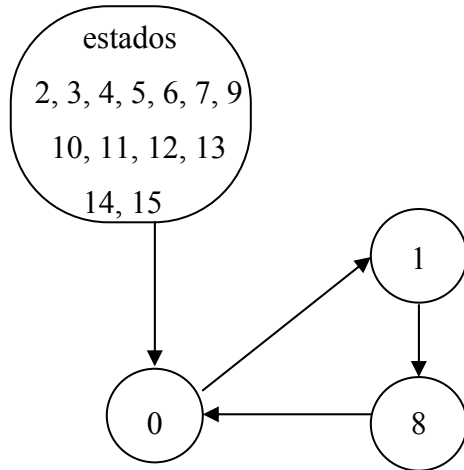
La cuenta “8” implica 9 estados en el contador, el estado “0” se cuenta.

Aunque el contador tiene tres estados “0 – 1 – 8”, el mayor de los estados es “8” y por lo tanto $K = 8 + 1 = 9$.

Por lo tanto, $2^{n-1} < 9 \leq 2^n \Rightarrow n = 4$. Se necesitan 4 biestables, este número de biestables (4) era de esperar, ya que “8” (el mayor de los estados) se representa “1 0 0 0” en binario y es necesario un biestable por cada bit.

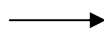
2. Diagrama de estados (0 → 1 → 8).

La secuencia del contador es “0 → 1 → 8”, pero si por error se da cualquiera de los estados restantes (2, 3, 4, 5, 6, 7, 9, 10, 11, 12, 13, 14 o 15) el contador pasará a “0”.



3. Tabla de transiciones del biestable JK (\downarrow Clk).

J	K	Q_t	Clk	Q_{t+1}
0	0	0	\downarrow	0
0	0	1	\downarrow	1
0	1	0	\downarrow	0
0	1	1	\downarrow	0
1	0	0	\downarrow	1
1	0	1	\downarrow	1
1	1	0	\downarrow	1
1	1	1	\downarrow	0



$Q_t \rightarrow Q_{t+1}$	$Q_t \rightarrow Q_{t+1}$	$Q_t \rightarrow Q_{t+1}$	$Q_t \rightarrow Q_{t+1}$
0 → 0	0 → 1	1 → 0	1 → 1
JK	JK	JK	JK
00	10	01	00
01	11	11	10
0X	1X	X1	X0

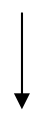


Diagrama de estados del biestable JK.

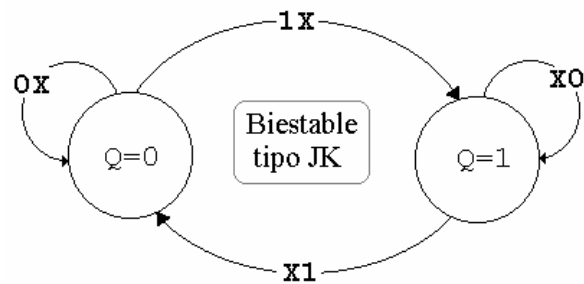
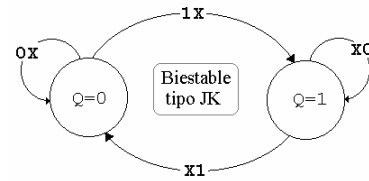


tabla 3 Transiciones del biestable JK y valores de las entradas

3. Tabla de transiciones del contador “0-1-8”.



$Q_3(t)$	$Q_2(t)$	$Q_1(t)$	$Q_0(t)$	$Q_3(t+1)$	$Q_2(t+1)$	$Q_1(t+1)$	$Q_0(t+1)$	J_3k_3	J_2k_2	J_1k_1	J_0k_0
0	0	0	0	0	0	0	1	0X	0X	0X	1X
0	0	0	1	1	0	0	0	1X	0X	0X	X1
0	0	1	0	0	0	0	0	0X	0X	X1	0X
0	0	1	1	0	0	0	0	0X	0X	X1	X1
0	1	0	0	0	0	0	0	0X	X1	0X	0X
0	1	0	1	0	0	0	0	0X	X1	0X	X1
0	1	1	0	0	0	0	0	0X	X1	X1	0X
0	1	1	1	0	0	0	0	0X	X1	X1	X1
1	0	0	0	0	0	0	0	X1	0X	0X	0X
1	0	0	1	0	0	0	0	X1	0X	0X	X1
1	0	1	0	0	0	0	0	X1	0X	X1	0X
1	0	1	1	0	0	0	0	X1	0X	X1	X1
1	1	0	0	0	0	0	0	X1	X1	0X	0X
1	1	0	1	0	0	0	0	X1	X1	0X	X1
1	1	1	0	0	0	0	0	X1	X1	X1	0X
1	1	1	1	0	0	0	0	X1	X1	X1	X1

5. Ecuaciones de las entradas de los biestables “ J_n, K_n ”.

Las ecuaciones $J_{0,1,2,y3}$ y $K_{0,1,2,y3}$ son funciones de $Q_{0,1,2,y3}$.

		Q_3Q_2			
		00	01	11	10
Q_1Q_0	00	1	0	0	0
	01	X	X	X	X
	11	X	X	X	X
	10	0	0	0	0

$$J_0 = /Q_3 /Q_2 /Q_1$$

		Q_3Q_2			
		00	01	11	10
Q_1Q_0	00	X	X	X	X
	01	1	1	1	1
	11	1	1	1	1
	10	X	X	X	X

$$K_0 = 1 = \text{“Vcc”}$$

		Q_3Q_2			
		Q_1Q_0	00	01	11
00	00	0	0	0	0
	01	0	0	0	0
	11	X	X	X	X
	10	X	X	X	X

$J_1 = 0 = \text{"gnd"}$

		Q_3Q_2			
		Q_1Q_0	00	01	11
00	00	X	X	X	X
	01	X	X	X	X
	11	1	1	1	1
	10	1	1	1	1

$K_1 = 1 = \text{"Vcc"}$

		Q_3Q_2			
		Q_1Q_0	00	01	11
00	00	0	X	X	0
	01	0	X	X	0
	11	0	X	X	0
	10	0	X	X	0

$J_2 = 0 = \text{"gnd"}$

		Q_3Q_2			
		Q_1Q_0	00	01	11
00	00	X	1	1	X
	01	X	1	1	X
	11	X	1	1	X
	10	X	1	1	X

$K_2 = 1 = \text{"Vcc"}$

		Q_3Q_2			
		Q_1Q_0	00	01	11
00	00	0	0	X	X
	01	1	0	X	X
	11	0	0	X	X
	10	0	0	X	X

$J_3 = /Q_2 Q_0 /Q_1$

		Q_3Q_2			
		Q_1Q_0	00	01	11
00	00	X	X	1	1
	01	X	X	1	1
	11	X	X	1	1
	10	X	X	1	1

$K_3 = 1 = \text{"Vcc"}$

LAS ECUACIONES RESULTANTES SON

$$\begin{array}{llll}
 J_0 = /Q_3 /Q_2 /Q_1 & J_1 = 0 = \text{“gnd”} & J_2 = 0 = \text{“gnd”} & J_3 = /Q_2 Q_0 /Q_1 \\
 K_0 = 1 = \text{“Vcc”} & K_1 = 1 = \text{“Vcc”} & K_2 = 1 = \text{“Vcc”} & K_3 = 1 = \text{“Vcc”}
 \end{array}$$

IMPLEMENTACIÓN DEL CONTADOR:

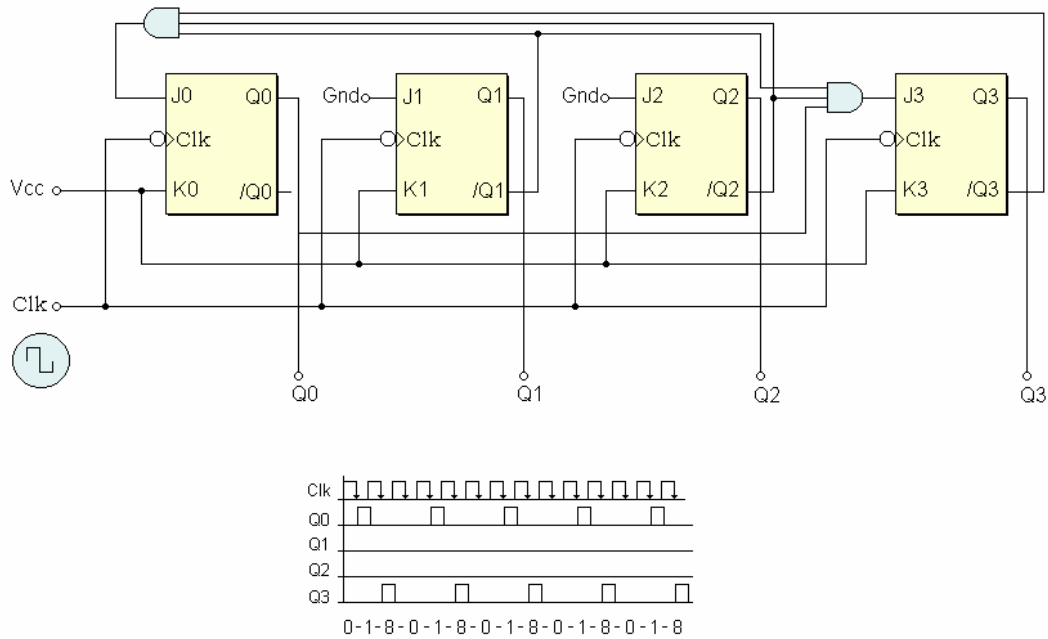


figura 15 Contador síncrono de secuencia “0 → 1 → 8” y cronograma.

VELOCIDAD BINARIA MÁXIMA DEL CONTADOR SÍNCRONO DE LA FIGURA 15

En el contador de la figura 15 (secuencia 0 → 1 → 8), para obtener un cambio en la salida “Q_{0,1,2,3}” basta con un pulso de reloj. En el caso de Q₀ y Q₃ hay que añadir al “tpd” del biestable el “tpd” de una puerta. Si por cada biestable el tpd(B) = 20 nseg. y por cada puerta es, tpd(P) = 10 nseg. , entonces:

$$VB_{\text{máx}}(Q_{1,2}) = 1 / 20 \text{ nseg.}$$

$$VB_{\text{máx}}(Q_{0,3}) = 1 / (20+10) \text{ nseg.}$$

$$V.B_{\text{máx.}}(\text{Contador})=1/(30 \times 10^{-9}) \text{ bps.}=33.3 \text{ Mbps.}$$

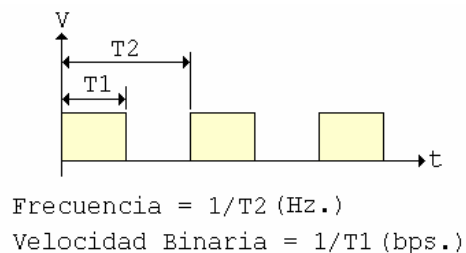


figura 16 Concepto de Velocidad Binaria y Frecuencia.

2.3.2 CONTADOR SÍNCRONO DE VARIAS SECUENCIAS

Para diseñar un contador síncrono que genere mas de una secuencia es necesario incluir en el diseño variables combinatoriales de entrada, tantas como sean necesarias en función del número de secuencias. El número de variables combinatoriales es,

$$2^{nV-1} < SB \leq 2^{nV}$$

nV = Número de Variables Combinacionales que hay que incluir.

SB = Número de Secuencias Binarias a generar por el contador.

Procedimiento de diseño: Diseñe un contador síncrono que realice 4 secuencias (a, b, c, y d) diferentes en función de dos variables de entrada (AB).

Las cuentas son las siguientes:

a) 0-1-2-3, b) 3-2-1-0, c) 2-0-1-3 y d) 3-1-0-2.

Las variables de entrada son “AB” y las posibles combinaciones se asignarán como sigue:

$AB = 00 \rightarrow$ cuenta “a”, $AB = 01 \rightarrow$ cuenta “b”,

$AB = 10 \rightarrow$ cuenta “c” y $AB = 11 \rightarrow$ cuenta “d”.

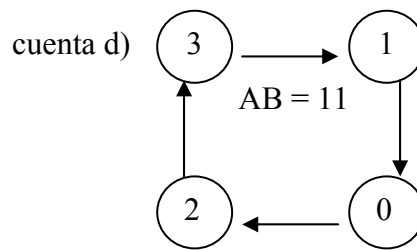
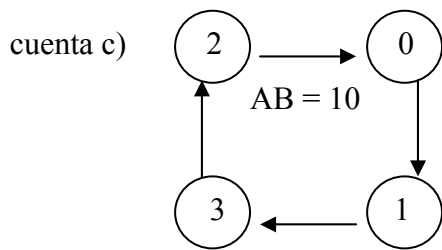
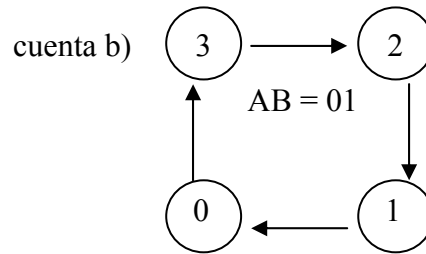
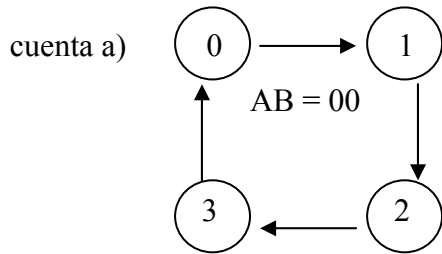
1 NÚMERO DE BIESTABLES.

El estado “3” es el mayor en las cuatro cuentas, así pues, $K = 3 + 1 = 4$.

El número de estados también es 4.

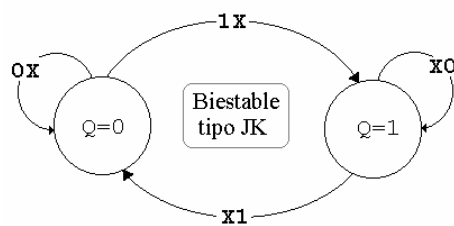
Por lo tanto, $2^{n-1} < 4 \leq 2^n \Rightarrow n = 2$ biestables.

2 DIAGRAMA DE ESTADOS DE LAS CUENTAS DEL CONTADOR.



3 SE ELIGEN BIESTABLES TIPO “JK”.

El diagrama de estados del biestable “JK” se halló en el apartado “2.3.1.3” y es el de la figura siguiente,



4 TABLA DE TRANSICIONES DEL SISTEMA.

Cada cuenta esta asignada a su combinación de las variables AB.

A	B	Q _{1(t)}	Q _{0(t)}	Q _{1(t+1)}	Q _{0(t+1)}	J ₁	K ₁	J ₀	K ₀
0	0	0	0	0	1	0	X	1	X
0	0	0	1	1	0	1	X	X	1
0	0	1	0	1	1	X	0	1	X
0	0	1	1	0	0	X	1	X	1
0	1	0	0	1	1	1	X	1	X
0	1	0	1	0	0	0	X	X	1
0	1	1	0	0	1	X	1	1	X
0	1	1	1	1	0	X	0	X	1
1	0	0	0	0	1	0	X	1	X
1	0	0	1	1	1	1	X	X	0
1	0	1	0	0	0	X	1	0	X
1	0	1	1	1	0	X	0	X	1
1	1	0	0	1	0	1	X	0	X
1	1	0	1	0	0	0	X	X	1
1	1	1	0	1	1	X	0	1	X
1	1	1	1	0	1	X	1	X	0

5 SIMPLIFICACIÓN DE FUNCIONES

		AB			
		00	01	11	10
Q ₁ Q ₀	00	1	1	0	1
	01	X	X	X	X
	11	X	X	X	X
	10	1	1	1	0

$$J_0 = \bar{A} + \bar{B} / Q_1 + B Q_1$$

$$J_0 = \bar{A} + B \oplus Q_1$$

		AB			
		00	01	11	10
Q ₁ Q ₀	00	X	X	X	X
	01	1	1	1	0
	11	1	1	0	1
	10	X	X	X	X

$$K_0 = \bar{A} + B / Q_1 + \bar{B} Q_1$$

$$K_0 = \bar{A} + B \oplus Q_1$$

A B		Q ₁ Q ₀			
		00	01	11	10
00		0	1	1	0
01		1	0	0	1
11		X	X	X	X
10		X	X	X	X

$$J_1 = B / Q_0 + / B Q_0$$

$$J_1 = B \oplus Q_0$$

A B		Q ₁ Q ₀			
		00	01	11	10
00		X	X	X	X
01		X	X	X	X
11		1	0	1	0
10		0	1	0	1

$$K_1 = /A B / Q_0 + A / B / Q_0 + A B Q_0 + /A / B Q_0$$

$$K_1 = /Q_0 (A \oplus B) + Q_0 (A \otimes B)$$

$$K_1 = Q_0 \oplus A \oplus B$$

6 SÍNTESIS DEL CIRCUITO DEL CONTADOR SÍNCRONO DE 4 SECUENCIAS

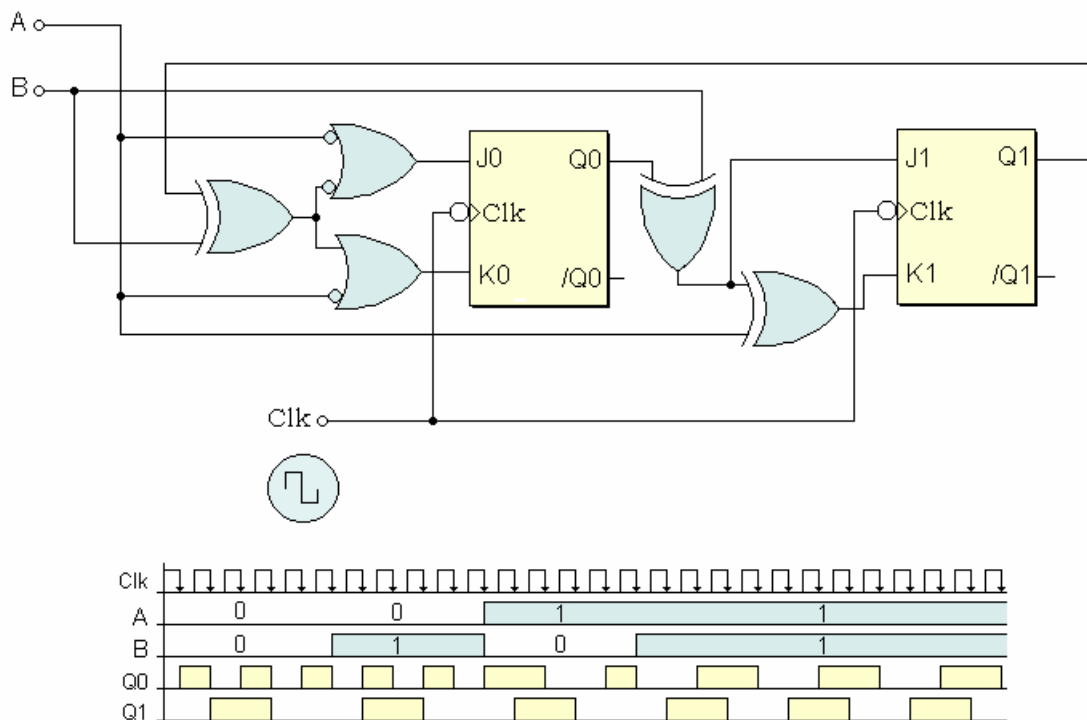


figura 17 Contador síncrono de 4 secuencias binarias. La secuencia de salida se selecciona con las combinaciones de las variables “AB”

CAPÍTULO 3

GENERADOR DE SECUENCIAS BINARIAS BASADO EN REGISTROS

INTRODUCCIÓN

Utilizando registros de desplazamiento y la lógica combinacional complementaria se pueden sintetizar sistemas secuenciales capaces de generar secuencias binarias concretas.

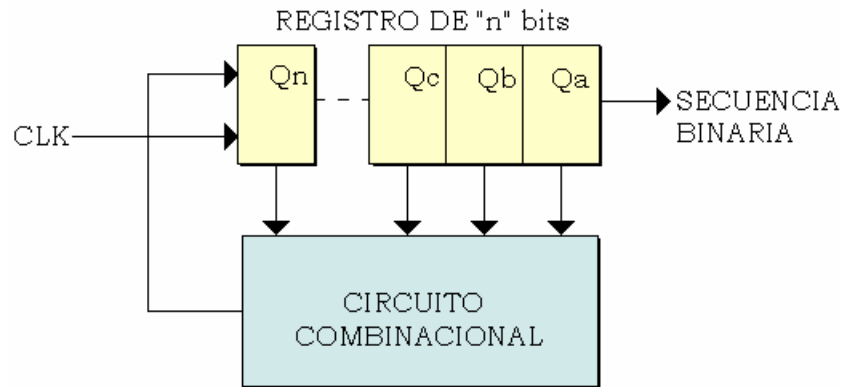


figura 18 Esquema de un generador de secuencias binarias con registros de desplazamiento.

3.1 MÉTODO SISTEMÁTICO DE DISEÑO DE GENERADORES DE SECUENCIAS BINARIAS CON REGISTROS DE DESPLAZAMIENTO

1. Se estudia la secuencia a sintetizar

En la secuencia a generar se asigna el MSB y el LSB a los bits que corresponda.

2. Se decide, en una primera aproximación, el tamaño del registro

En principio, para sintetizar una secuencia de “ 2^n ” bits se necesitarán “n” biestables.

3. Se escribe la tabla de transiciones y el diagrama de estados

Del análisis de los estados y de la tabla, surgirá si se es necesario más biestables para asegurar el diseño. El número de bits repetidos y seguidos o si se repiten estados, decidirá el aumento del número de biestables.

4. Se implementa el circuito con los componentes seleccionados

3.2 GENERACIÓN DE LA SECUENCIA BINARIA “10110”

Procedimiento de diseño de un generador de la secuencia binaria “10110” utilizando un Registro de Desplazamiento y la lógica combinacional necesaria.

MSB LSB

Secuencia: 1 0 1 1 0 → 5 estados.

En principio se puede implementar con 3 biestables, $2^3 > 5$.

En la tabla 4 se escriben las transiciones de los biestables y a partir de ésta se dibuja el diagrama de estados del sistema síncrono resultante.

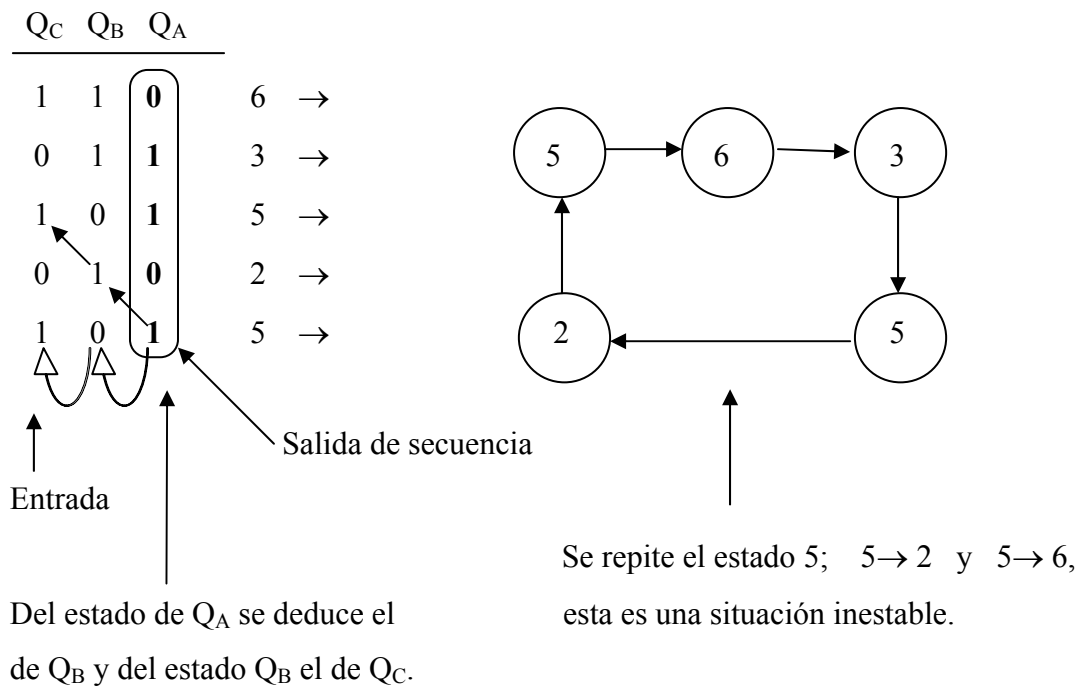


tabla 4 Sistema inestable, se repite el estado 5.

Para tratar de evitar esta situación de inestabilidad se añade otro biestable.

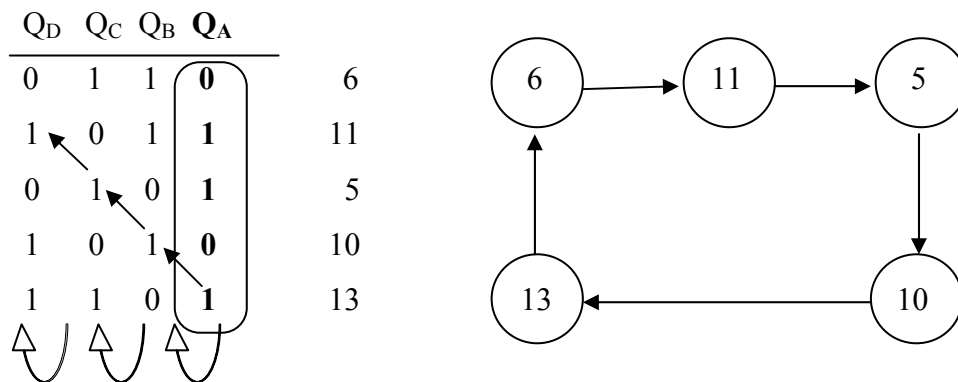


tabla 5 Sistema estable. Sistema sin repetición de estados.

Del diagrama de estados se extrae la tabla completa, estados presentes y futuros, Q_t y Q_{t+1}:

Q _D	Q _C	Q _B	Q _A (t)		Q _D	Q _C	Q _B	Q _A (t+1)
0	1	1	0	6 → 11	1	0	1	1
1	0	1	1	11 → 5	0	1	0	1
0	1	0	1	5 → 10	1	0	1	0
1	0	1	0	10 → 13	1	1	0	1
1	1	0	1	13 → 6	0	1	1	0
	↑				↑			
estado anterior					estado presente			

tabla 6 Generador de la secuencia 10110.

Aplicando “Karnaugh” en la tabla-6, resultan las siguientes expresiones simplificadas para los estados Q_{n+1},

$$\begin{aligned}
 Q_{A(t+1)} &= Q_{B(t)}; & Q_{B(t+1)} &= Q_{C(t)}; \\
 Q_{C(t+1)} &= Q_{D(t)}; & Q_{D(t+1)} &= /Q_{A(t)} + /Q_{D(t)}.
 \end{aligned}$$

SÍNTESIS DEL CIRCUITO

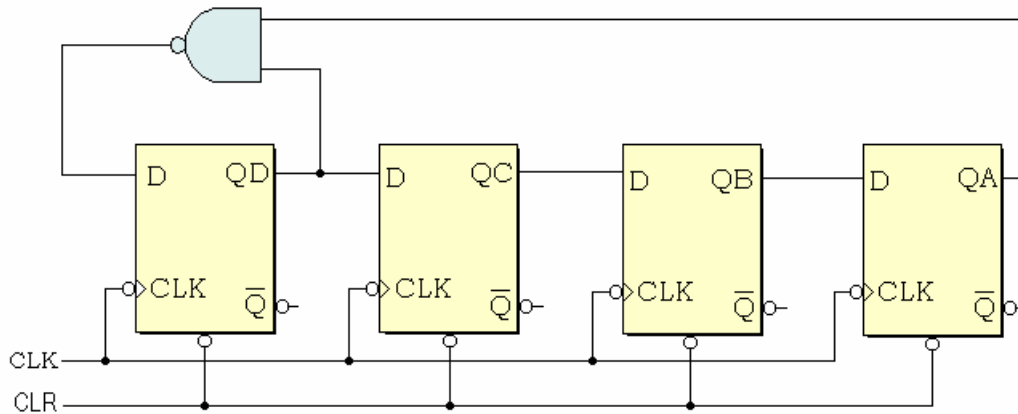


figura 19 Circuito generador de la secuencia binaria “10110”

VELOCIDAD BINARIA MÁXIMA DEL SISTEMA

Todos los biestables comparten la señal de reloj por lo tanto el cambio es simultaneo en todos los biestables. El biestable mas lento en cambiar es Q_D, ya que la entrada es a través de una puerta NAND, por lo tanto hay que evaluar este biestable para la velocidad binaria máxima del sistema.

tpd B = retardo de un biestable.

tpd P = retardo de una puerta.

$$VB_{\text{máx}} = 1 / (tpd B + tpd P) \text{ bits/seg.}$$

CAPÍTULO 4

GENERADOR DE SECUENCIAS

BINARIAS MÚLTIPLES Y SIMULTÁNEAS

INTRODUCCIÓN

Cuando se realiza el diseño de un circuito secuencial síncrono, como un contador, generador de secuencia binaria o maquina secuencial, en función de la aplicación y del método de diseño la salida del circuito es uno de los biestables o la salida de un dispositivo combinacional. Si el diseño en cuestión implementa una secuencia binaria, de forma implícita y a no ser que se diga otra cosa, el diseñador entenderá que la secuencia binaria se precisa de forma secuencial, es decir un bit por cada pulso de reloj (cuando la secuencia se precisa de forma paralela, normalmente estaremos ante el diseño de un contador, en el que consideraremos todos los bits al mismo tiempo para darle un significado, estado o cuenta de una secuencia determinada), así pues si la secuencia binaria constara de 8 bits se entiende que después de 8 pulsos de reloj habrán salido uno a uno los 8 bits por el punto del circuito donde el diseñador haya considerado la salida del circuito, biestable o dispositivo combinacional, esta secuencia estará saliendo de forma ininterrumpida, o no, dependiendo de la aplicación y el diseño, siempre mientras exista pulso de reloj.

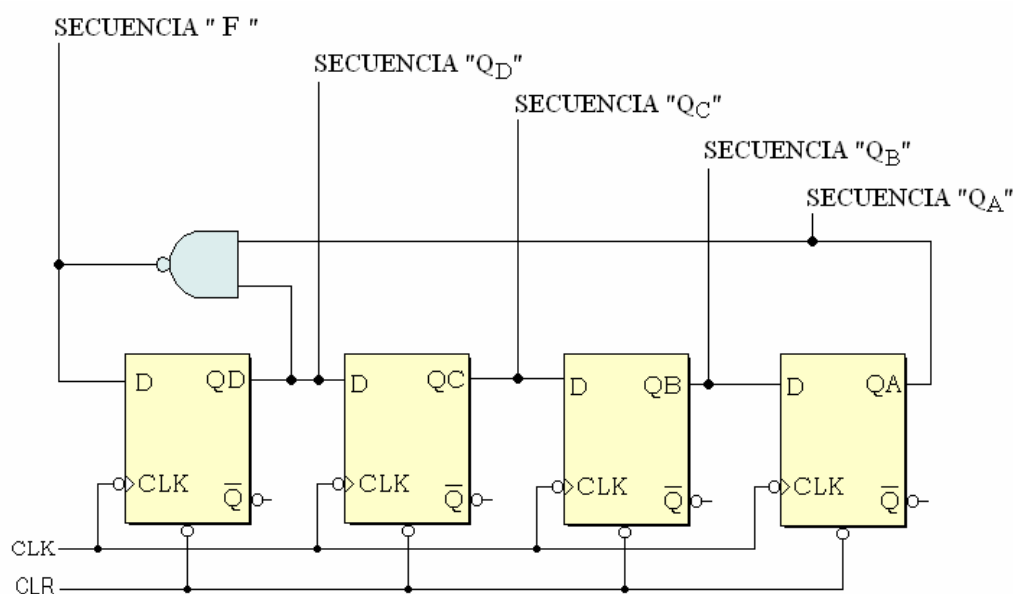


figura 20 Generador de la secuencia binaria "10110" con Registro

Pues bien, en cualquier circuito que implemente una secuencia binaria o cualquier otro sistema secuencial síncrono, tenemos otras salidas o puntos del circuito, que no son significativos desde el punto de vista funcional, aunque son imprescindibles para la implementación del circuito ya que son parte integrante del mismo.

Se pretende utilizar otros puntos del circuito como salidas para implementar otras funciones y así darle al circuito una multifuncionalidad dependiendo del punto del circuito considerado. Al estar estas señales presentes en todo momento, se podrá disponer de ellas de dos maneras, 1) en paralelo o simultaneas y 2) seleccionando una de ellas en un punto común de salida, para esto último se necesitaría incluir variables combinatoriales de control y selección.

En la *figura 20* se puede observar el circuito generador de la secuencia binaria “10110” que se diseñó por el método de “Registros de Desplazamiento” en el capítulo 3, en este circuito la única salida funcional es la salida “Q_A”. En el resto de las salidas que se enumeran en la *figura 20*, también hay secuencias que se repiten de igual forma que la principal, lo que ocurre es que no se tuvieron en cuenta en el diseño y por tanto a priori no sabemos cuales son esas secuencias, si esas secuencias estuvieran controladas por el diseñador tendríamos un circuito que genera 5 secuencias binarias simultaneas, 4 a las que se tiene acceso en las salidas de los biestables, “Q_A”, “Q_B”, “Q_C” y “Q_D” y una 5ª en “Q_F”.

Las secuencias del circuito de la *figura 20* son:

F	Q _D	Q _C	Q _B	Q _A	(salida)
1	0	1	1	0	↑
0	1	0	1	1	
1	0	1	0	1	
1	1	0	1	0	
0	1	1	0	1	

→ desplazamiento

La única secuencia controlada por el diseñador en el proceso de diseño del circuito de la figura 20 es la presente en la salida “Q_A”, el resto son aleatorias.

Por lo tanto lo que se pretende es poder diseñar un sistema síncrono en el que se controlen las salidas que se seleccionen como funcionales, utilizando para ello un “Método Sistemático de Diseño” que sirva para todos los posibles casos que se puedan presentar.

Al tener varias secuencias binarias generadas en el mismo circuito, además de la ventaja de tener mas de una función, se consigue que el sincronismo de todas las señales generadas sea perfecto, cosa que sería prácticamente imposible con circuitos separados. En sistemas de altas prestaciones o simplemente trabajando con frecuencias muy altas, esta última es una ventaja a tener muy en cuenta y por si sola justifica el método de diseño propuesto.

4.1 MÉTODO SISTEMÁTICO DE DISEÑO DEL GENERADOR DE SECUENCIAS BINARIAS MÚLTIPLES Y SIMULTÁNEAS

Para la implementación de un circuito generador de secuencias binarias múltiples hay que seguir los 4 pasos siguientes,

1/4 Se comprueban las características de las secuencias a generar, concretamente el número de secuencias y el número de bits por secuencia.

2/4 Una vez catalogada las secuencias a generar se escribe la tabla inicial de transiciones con el número de combinaciones correspondiente.

Las secuencias se catalogaran según los criterios siguientes,

a) Solo hay una secuencia.

El número de combinaciones de la tabla es el número de bits de la secuencia.

b) Hay mas de una secuencia y todas son del mismo número de bits.

El número de combinaciones de la tabla es el número de bits de una de ellas.

Las secuencias no son del mismo número de bits y,

c) Todas son de un número de bits par.

El número de combinaciones de la tabla es el número de bits de la secuencia que tenga mas bits.

d) Todas son de un número de bits impar.

El número de combinaciones de la tabla es el Mínimo Común Múltiplo del número de bits de cada secuencia.

e) Las hay con un número de bits par y con un número de bits impar.

El número de combinaciones de la tabla es el Mínimo Común Múltiplo del número de bits de cada secuencia impar y el número de bits de la secuencia par que tenga mas bits.

- 3/4 Se comprueba que la tabla de estados resultante sea estable, es decir, que no se repitan estados. Si se repiten estados se añade un bit a la tabla (se multiplica por dos el número de estados) y se comprueba de nuevo. A los bits añadidos se le dan valores en la tabla para que no se repitan estados. Si no es suficiente con 1 bit, se repite la acción hasta que el sistema sea estable.
- 4/4 A partir de este momento se trata y finaliza el diseño como si se tratara de un contador síncrono, es decir siguiendo los pasos siguientes,
- A) Elección de biestables, diagrama de estados y tabla de transiciones,
 - B) Definición y simplificación de funciones y C) Implementación del circuito.

4.2 GENERACIÓN DE LAS SECUENCIAS “00111010”, “10110010” y “10011011” POR EL MÉTODO DE “SECUENCIAS MÚLTIPLES”.

La secuencia número tres, “1 0 0 1 1 0 1 1”, es la palabra de alineamiento de trama del flujo “E₁” de la “JDP” de la “ETSI”.

Diseño del generador

1 COMPROBACIÓN DE CARACTERÍSTICAS DE LAS SECUENCIAS

Por observación se comprueba que son 3 secuencias (0 0 1 1 1 0 1 0, 1 0 1 1 0 0 1 0 y 1 0 0 1 1 0 1 1) de 8 bits cada una.

2 CATALOGAR LAS SECUENCIAS, TABLA DE TRANSICIÓN INICIAL

Hay 3 secuencias pares de 8 bits cada una.

Cálculo del número de combinaciones de la “tabla de transición inicial”:

Apartado “2.b” del método de diseño.

Secuencias pares: Al ser las 3 secuencias iguales (mismo número de bits) el número de combinaciones es el número de bits de una de ellas, 8.

LA TABLA INICIAL TENDRÁ 8 FILAS, UNA POR CADA COMBINACIÓN Y 3 SALIDAS UNA PARA CADA SECUENCIA.

"00111010"	"10110010"	"10011011"	Estado
Q _C	Q _B	Q _A	
0	1	1	3
0	0	0	0
1	1	0	6
1	1	1	7
1	0	1	5
0	0	0	0
1	1	1	7
0	0	1	1

El sistema de la tabla inicial no es estable, se repiten los estados "7" y "0".

Se añade un bit para eliminar los estados repetidos.

TABLA INICIAL DEFINITIVA

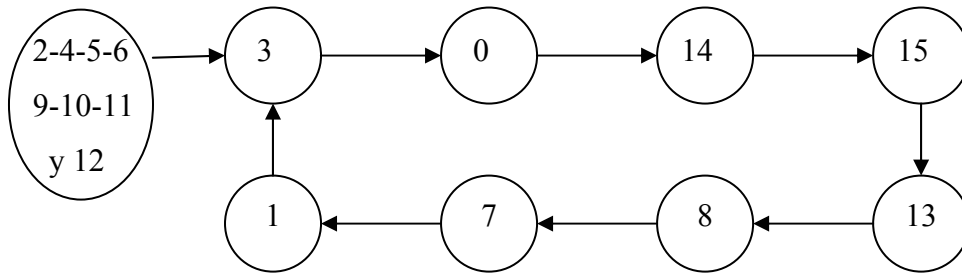
Bit	"00111010"	"10110010"	"10011011"	Estado
Q _D	Q _C	Q _B	Q _A	
0	0	1	1	3
0	0	0	0	0
1	1	1	0	14
1	1	1	1	15
1	1	0	1	13
1	0	0	0	8
0	1	1	1	7
0	0	0	1	1

El sistema de la tabla con el bit añadido si es estable, no se repite ningún estado.

El sistema esta preparado para su diseño.

Al añadir un bit se ha generado otra secuencia binaria en el sistema, Q_D="00111100".

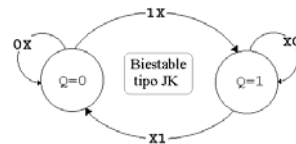
3 ELECCIÓN DE BIESTABLES, DIAGRAMA DE ESTADOS Y TABLA DE TRANSICIONES DEL GENERADOR.



Todas las posibles combinaciones de 4 bits (0 0 0 0..1 1 1 1, del estado 0 al 15) que no se encuentren incluidas en el diagrama de estados, evolucionaran al estado “3”.

Se eligen biestables tipo “jk” para la implementación del sistema

TABLA DE TRANSICIONES DEL GENERADOR DE SECUENCIAS.



Q _D Q _C Q _B Q _A	Q _D Q _C Q _B Q _A	J _D K _D	J _C K _C	J _B K _B	J _A K _A
0 0 0 0	1 1 1 0	1X	1X	1X	0X
0 0 0 1	0 0 1 1	0X	0X	1X	X0
0 0 1 0	0 0 1 1	0X	0X	X0	1X
0 0 1 1	0 0 0 0	0X	0X	X1	X1
0 1 0 0	0 0 1 1	0X	X1	1X	1X
0 1 0 1	0 0 1 1	0X	X1	1X	X0
0 1 1 0	0 0 1 1	0X	X1	X0	1X
0 1 1 1	0 0 0 1	0X	X1	X1	X0
1 0 0 0	0 1 1 1	X1	1X	1X	1X
1 0 0 1	0 0 1 1	X1	0X	1X	X0
1 0 1 0	0 0 1 1	X1	0X	X0	1X
1 0 1 1	0 0 1 1	X1	0X	X0	X0
1 1 0 0	0 0 1 1	X1	X1	1X	1X
1 1 0 1	1 0 0 0	X0	X1	0X	X1
1 1 1 0	1 1 1 1	X0	X0	X0	1X
1 1 1 1	1 1 0 1	X0	X0	X1	X0

4 SIMPLIFICANDO POR KARNAUGH RESULTAN LAS SIGUIENTES ECUACIONES,

$$J_A = Q_B + Q_C + Q_D$$

$$J_B = /Q_A + /Q_C + /Q_D$$

$$J_C = /Q_A * /Q_B$$

$$J_D = /Q_A * /Q_B * /Q_C$$

$$K_A = (/Q_B * Q_C * Q_D) + (Q_B * /Q_C * /Q_D)$$

$$K_B = Q_A * (Q_C + /Q_D)$$

$$K_C = /Q_B + /Q_D$$

$$K_D = /Q_A * /Q_B + /Q_C$$

5 IMPLEMENTACIÓN DEL CIRCUITO

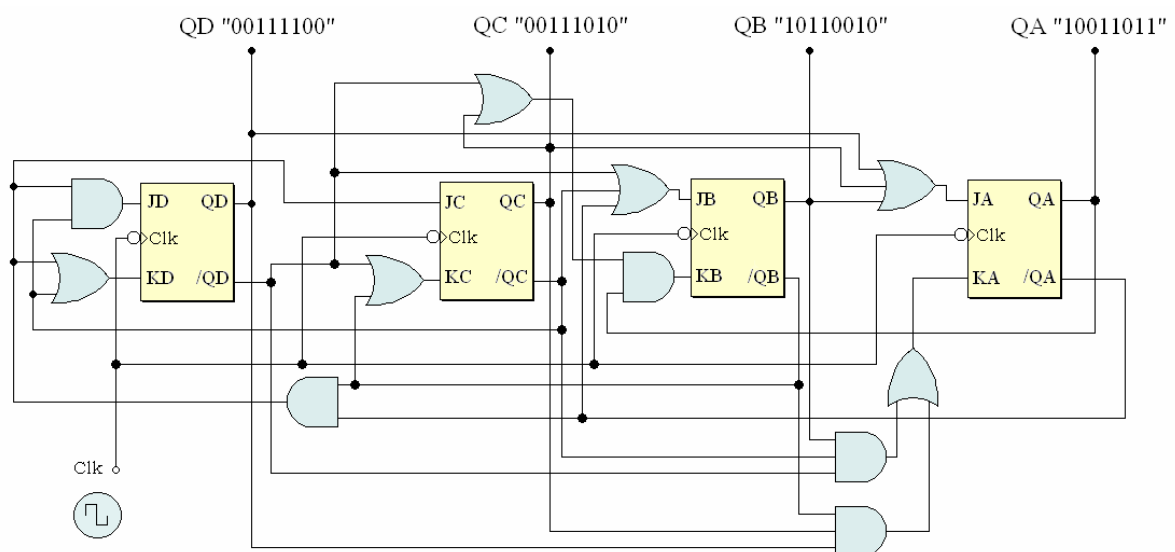


figura 21 Circuito resultante del generador de las secuencias binarias "00111010", "10110010" y "10011011", por el método de "Secuencias Múltiples".

APÉNDICE

GENERADOR DE PATRONES BINARIOS DE LA “E.T.S.I.” PARA ENLACES DIGITALES DE COMUNICACIONES Y OTRAS APLICACIONES

Las secuencias o patrones binarios se utilizan para rellenar el campo de datos de las tramas binarias con una información preestablecida y conocida por el terminal receptor. De esta manera se facilita la realización de pruebas de un enlace de comunicaciones o de cualquier otro elemento, activo o pasivo, basta con rellenar en el terminal de transmisión todos los bits de datos del flujo binario o bloque de información con la secuencia elegida.

Diseño por el método de “*Secuencias Múltiples*” un generador de los patrones binarios siguientes, a) “1 0 0 0 1 0 0 0”, b) “1 1 1 0 1 1 1 0” y c) “1 0 1 0 1 0 1 0”.

Aunque las tres secuencias son de 8 bits se repiten dentro de cada una de ellas de 4 en 4 bits, por lo tanto el diseño se puede tratar como si fuesen tres secuencias de 4 bits y el resultado sería el mismo.

Las secuencias a considerar son, a) “1 0 0 0”, b) “1 1 1 0” y c) “1 0 1 0”.

1 COMPROBACIÓN DE LAS CARACTERÍSTICAS DE LAS SECUENCIAS

Por observación se comprueba que son 3 secuencias (1 0 0 0 – 1 1 1 0 y 1 0 1 0) de 4 bits cada una.

2 CATALOGAR LAS SECUENCIAS Y LA TABLA DE TRANSICIÓN INICIAL

Hay 3 secuencias pares (1000, 1110 y 1010) del mismo número de bits (4).

Número de combinaciones, tabla de transiciones inicial: Apartado “2.b” del método.

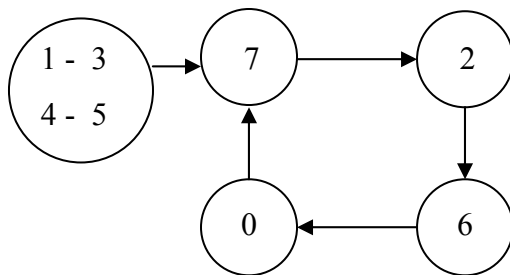
Secuencias pares: Al ser las 3 secuencias iguales (mismo número de bits) el número de combinaciones es el número de bits de una de ellas, 4.

LA TABLA INICIAL TENDRÁ 4 FILAS, UNA POR CADA COMBINACIÓN Y 3 SALIDAS UNA PARA CADA SECUENCIA.

"1 0 1 0"	"1 1 1 0"	"1 0 0 0"	Estado
Q _C	Q _B	Q _A	
1	1	1	7
0	1	0	2
1	1	0	6
0	0	0	0

El sistema de la tabla inicial es estable, no se repite ningún estado.

DIAGRAMA DE ESTADOS Y TABLA DE TRANSICIONES

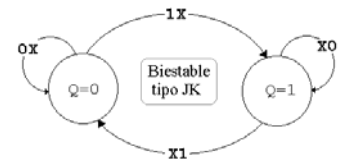


A los estados no incluidos en el sistema (1, 3, 4 y 5) se les hace evolucionar al estado "7".

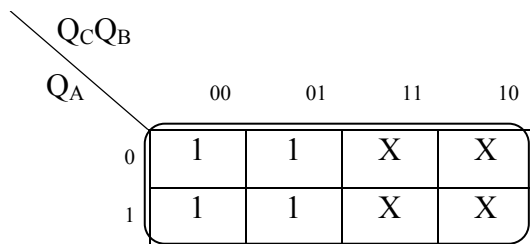
SE ELIGEN BIESTABLES TIPO "JK" PARA LA IMPLEMENTACIÓN DEL SISTEMA

TABLA FINAL DE TRANSICIONES DEL SISTEMA

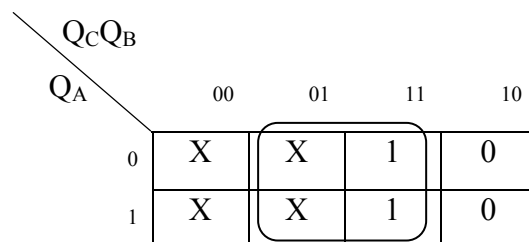
Q _C Q _B Q _A	Q _C Q _B Q _A	J _C K _C	J _B K _B	J _A K _A
0 0 0	1 1 1	1X	1X	1X
0 0 1	1 1 1	1X	1X	X0
0 1 0	1 1 0	1X	X0	0X
0 1 1	1 1 1	1X	X0	X0
1 0 0	1 1 1	X0	1X	1X
1 0 1	1 1 1	X0	1X	X0
1 1 0	0 0 0	X1	X1	0X
1 1 1	0 1 0	X1	X0	X1



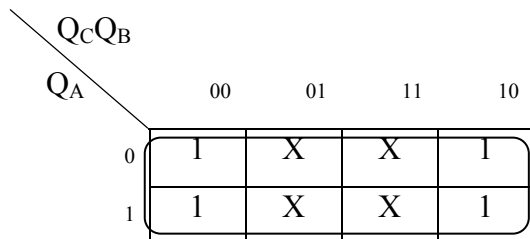
SIMPLIFICANDO POR KARNAUGH RESULTAN LAS SIGUIENTES ECUACIONES,



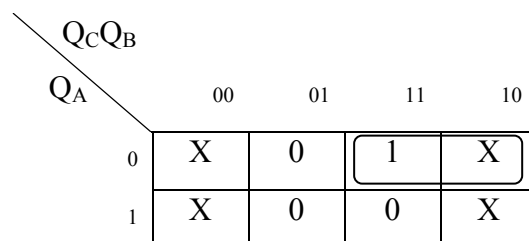
$$J_C = 1 = \text{"Vcc"}$$



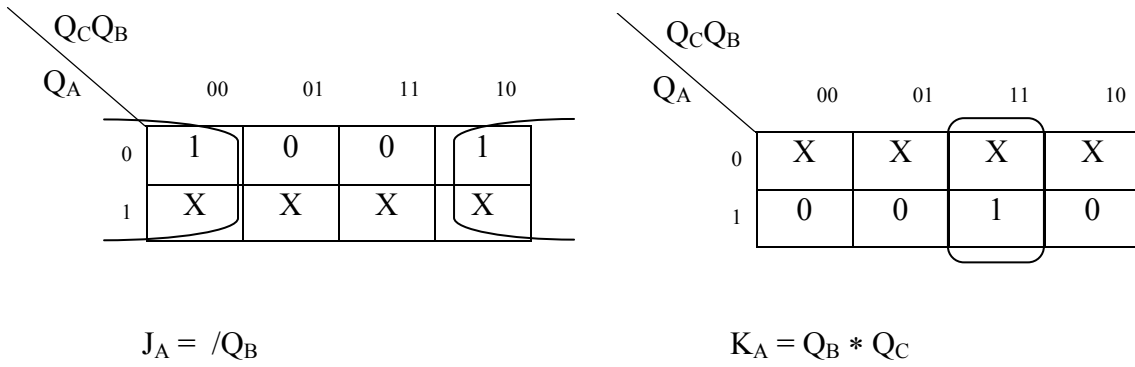
$$K_C = Q_B$$



$$J_B = 1 = \text{"Vcc"}$$



$$K_B = /Q_A * Q_C$$



IMPLEMENTACIÓN DEL CIRCUITO

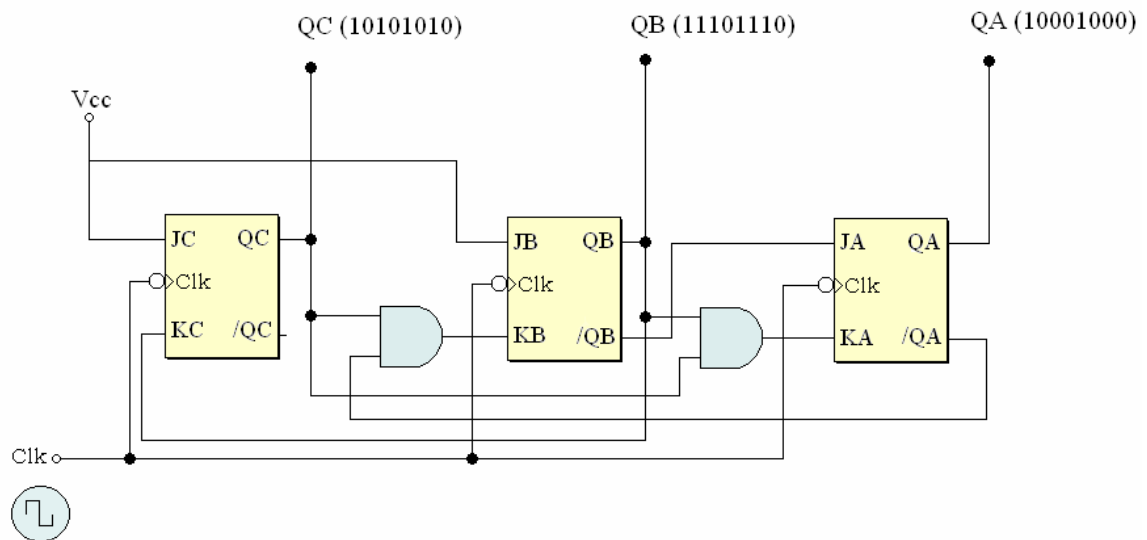


figura 22 Generador de las Secuencias Binarias, 10101010, 11101110 y 10001000.

GLOSARIO

Circuito Secuencial Circuito digital cuyos estados lógicos dependen de una determinada secuencia temporal.

Contador Asíncrono Contador que utiliza como entrada de reloj de cada etapa la salida de la etapa precedente, excepto el bit LSB que utiliza el reloj externo o del sistema.

Contador Síncrono Contador en el que todas las etapas utilizan el mismo pulso de reloj.

E1 Flujo Binario Tramado con capacidad para 30+2 canales telefónicos (secuencia binaria de 256 bits). Trama básica de la Jerarquía Digital Plesiócrona Europea Recomendada por E.T.S.I. para establecer enlaces de Comunicaciones digitales para esa capacidad.

E.T.S.I. “European Telecommunications Standard Institute”, Organismo Internacional Europeo que establece las normativas y recomendaciones para Telefonía, Telegrafía y Radiodifusión.

Generador de Secuencias Binarias Múltiples y Simultaneas Sistema Secuencial diseñado para generar varias secuencias binarias simultaneas en el mismo circuito y controladas por el diseñador, cada secuencia se estará generando en la salida de cada uno de los biestables del circuito. Se podrá acceder a las secuencias en paralelo, para aplicaciones diferentes o seleccionando una de ellas en una salida común, para lo que habría que incluir dispositivos combinatoriales de control y selección

Glitch Pico de tensión o de corriente de corta duración, no deseado y generalmente producido de forma no intencionada.

J.D.P. Jerarquía Digital Plesiócrona. Jerarquía normalizada por la Unión Internacional de las Telecomunicaciones (UIT-T), se establece el formato lógico y eléctrico para la transmisión de señales digitales por medios guiados y por medios no guiados.

Palabra de Alineamiento de Trama Secuencia de bits fijos y únicos que se insertan al inicio de las Tramas Binarias con la intención de sincronizar los terminales de transmisión y recepción.

Patrón de Bits Secuencia binaria normalmente utilizada para relleno de flujos binarios digitales para realizar pruebas en sistemas de comunicaciones digitales y otros dispositivos.

Trama Flujo binario provisto de secuencias binarias identificadoras del inicio de bloque y otras características que dependerá del sistema y la aplicación.

Secuencia Binaria Grupo de bits que se generan de forma secuencial por un sistema digital síncrono o asíncrono.

BIBLIOGRAFÍA

CHARLES H. ROTH, Jr. (2004). Fundamentos de Diseño Lógico. 5º Edición. International Thomson Editores Spain Paraninfo S.A.

ANGULO, JOSÉ M. (2002). Sistemas Digitales y Tecnología de Computadores. International Thomson Editores Spain Paraninfo S.A.

FLOYD, T. (2000). Fundamentos de Sistemas Digitales. 7ª Edición. Madrid: Prentice Hall.

HAYES, JOHN P. (1996). Diseño Lógico Digital. Wilmington, Delaware: Addison-Wesley Iberoamericana, S.A.